دستور کار آزمایشگاه الکترونیک ۳

گروه مهندسی برق دانشگاه کاشان

فهرست

آزمایش اول ـ طراحی تقویت کننده با فید بک

آزمایش دوم ـ طراحی تقویت کننده *Cascode*

آزمایش سوم ـ طراحی منبع ولتاژ *DC*

آزمایش چهارم ـ طراحی اسیلاتور شیفت فاز

آزمایش پنجم ـ برخی از کاربردهای *FET*

آزمایش ششم ـ طراحی اسیلاتور پل وین

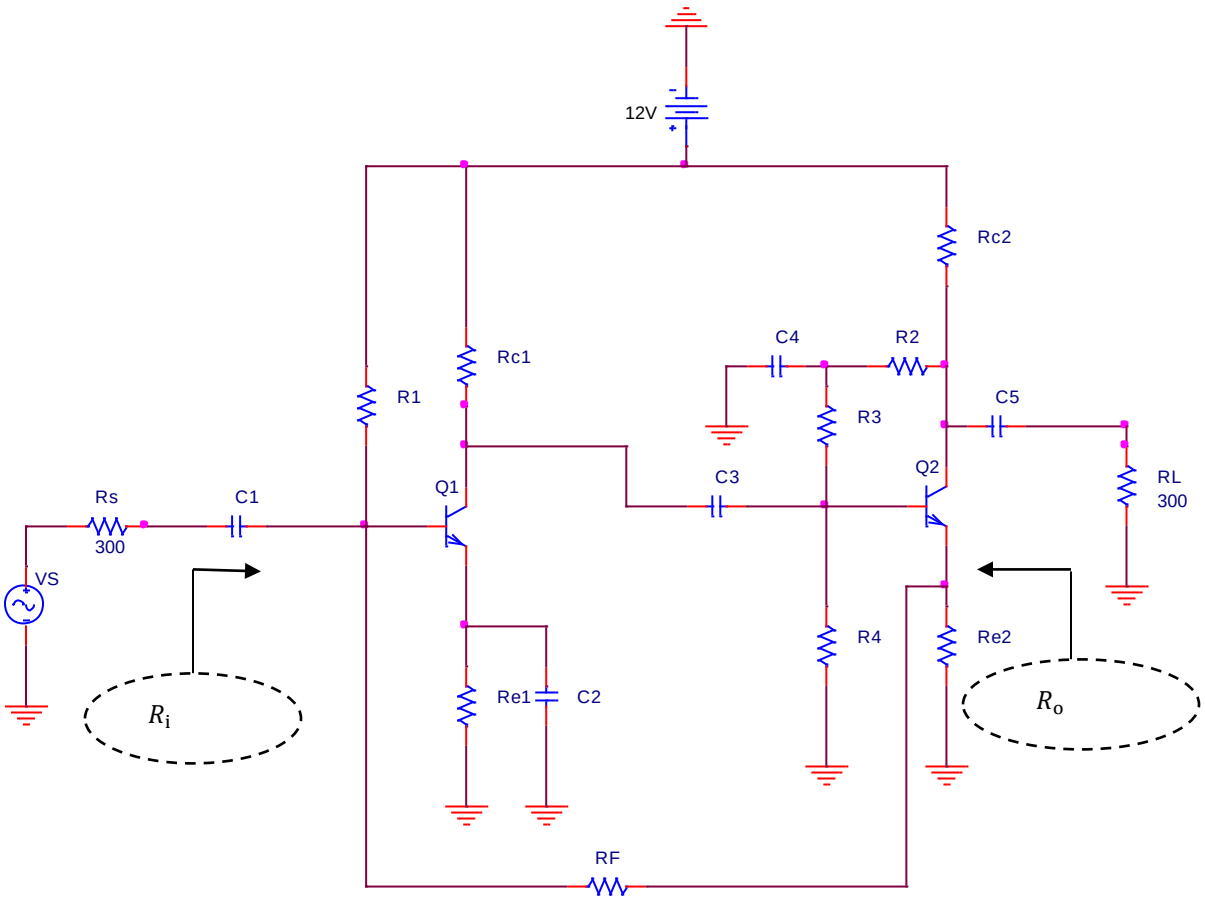
آزمایش هفتم - تقویت کننده تفاضلی با استفاده از *JFET* و *MOSFET*

آزمایش هشتم ـ طراحی تقویت کننده با مدار هماهنگی

- دانشجویان گرامی قبل از حضور در آزمایشگاه، آزمایش مربوطه را مطالعه فرمایید و در صورت نیاز به طراحی، مقادیر المان ها را بدست آورید و به مربی آزمایشگاه ارائه نمایید.
- هر یک از اعضای گروه باید به طور کامل در روند آزمایش مشارکت فعال داشته باشد.
- نتایج آزمایش را در حین انجام آزمایش یاداشت نموده و به همراه جواب سوالات، بعنوان گزارش در جلسه بعدی تحویل دهید.
- نمره عملی آزمایشگاه شامل حضور به موقع و بدون غیبت در آزمایشگاه، انجام آزمایش، جواب صحیح گرفتن از آزمایش، دانستن تئوری آزمایش، تحویل گزارش کار و امتحان تئوری است.
- بعد از انجام هر آزمایش، دستگاه ها را خاموش، قطعات و المان ها را سر جای خود برگردانید.

آزمایش اول _ طراحی تقویت کننده با فیدبک:

مدار تقویت کننده دو طبقه ی زیر را به گونه ای طراحی کنید که امپدانس ورودی و خروجی آن 300Ω باشد، هم چنین طبقه ی خروجی را طوری طراحی کنید که حداکثر ولتاژ خروجی بدون اعوجاج را در بار 300Ω ایجاد کند (حداقل ولتاژ خروجی بایستی از $V_{o\,P-P} = 6^V$ بیشتر باشد).



بعضی از مقادیر مقاومت ها برای این طرح ، به صورت زیر پیشنهاد میشوند که در صورت تمایل میتوانید از آنها در طرح خود استفاده کنید.

$R_{c2} = 330\Omega$ و $R_{e2} = 100\Omega$ و $R_2 = 10K\Omega$ و $R_{C1} = 6.8K\Omega$ و $R_{e1} = 1K\Omega$

و$R_F = 15k\Omega$

مراحل آزمایش:

۱- طبقه دوم مدار را بسته و نقطه کار مدار را طوری تنظیم کنید که ولتاژ خروجی در بار 300Ω حداکثر و بدون اعوجاج باشد. بهره، امپدانس ورودی و خروجی، فرکانس های $3dB$ مدار را اندازه گیری و یادداشت کنید.

۲- طبقه اول را بسته و مرحله یک را تکرار کنید (مقاومت بار این طبقه را مقاومت ورودی طبقه دوم در نظر بگیرید).

۳- دو طبقه را به هم متصل کرده و در صورت لزوم نقطه کار را برای به دست آوردن ماکزیمم ولتاژ خروجی تنظیم نمایید. بهره مدار، فرکانس های $3dB$ ، امپدانس ورودی و خروجی را اندازه گیری و یاداشت نمایید.

- دامنه سیگنال خروجی فانکشن ژنراتور در کمترین مقدار $0.1\ V$ است و با توجه به اینکه گین مدار زیاد است خروجی به اشباع می رود (برش میخورد) لذا می توانید با استفاده از مقاومت موازی حدود 18Ω با منبع (فانکشن ژنراتور) دامنه ورودی را کاهش دهید.

۴- مقاومت R_{L} را از مدار مرحله سوم برداشته و بهره مدار را اندازه گیری کنید.

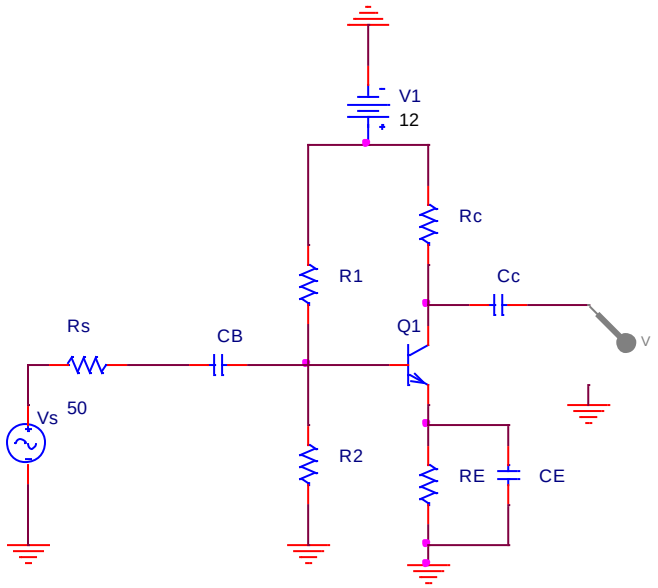
۵- فیدبک جریان- موازی را به مدار اضافه نمایید و پارامترهای خواسته شده در مرحله سوم را اندازه گیری کنید.

۶- یک موج مربعی به ورودی اعمال نمایید و با استفاده از شکل موج خروجی مدار ، f_{L} و f_{H} مدار را به دست آورید.

۷- مقادیر تئوری شش مرحله قبل را به دست آورده و با مقادیر عملی مقایسه کنید.

آزمایش دوم-طراحی تقویت کننده *Cascode*

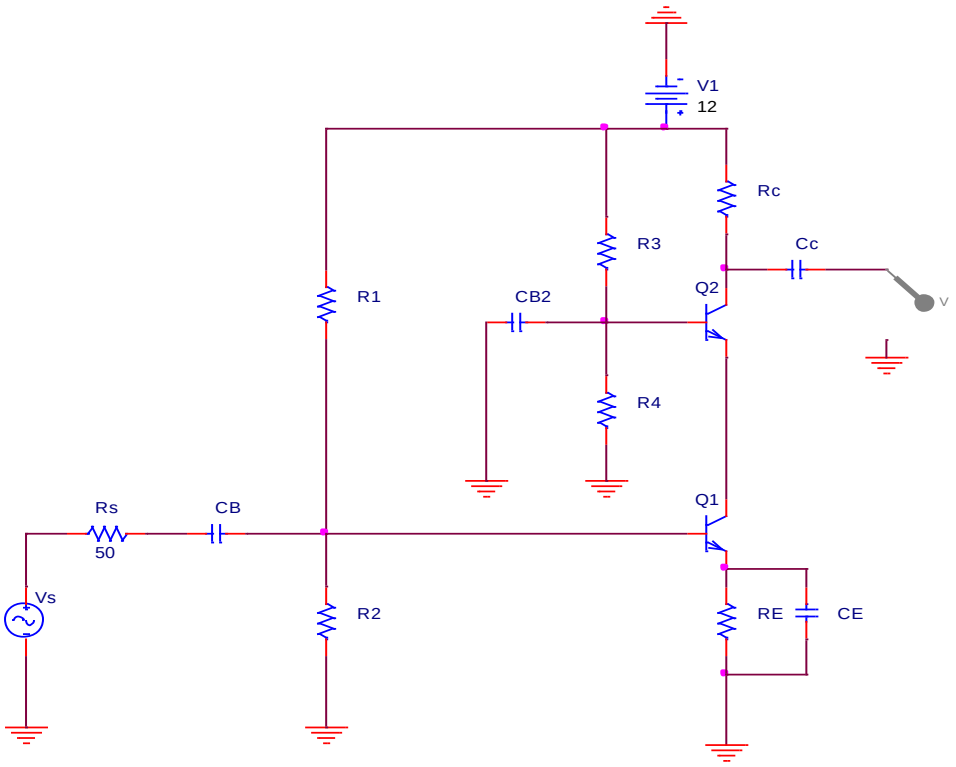
۱- مدار تقویت کننده امیتر مشترک زیر را به گونه ای طرح کنید که جریان نقطه کار $2mA$ و بهره ی آن ۱۰۰- شود.



۲-مدار طراحی شده را بسته و بهره و پهنای باند آن را اندازه گیری کنید.

- جهت کاهش دامنه سیگنال ورودی مدار (خروجی فانکشن) از یک مقاومت حدود 18Ω موازی با فانکشن استفاده کنید. یا یک مقاومت حدود $2K$ را با فانکشن سری نمایید.

۳-بدون تغییر در ترکیب کلی مدار مرحله یک، ترانزیستوری به صورت بیس مشترک را مطابق شکل زیر به آن اضافه نمایید و نقاط کار ترانزیستورها را طوری انتخاب کنید که اولا $I_{CQ} = 2mA$ و ثانیا ماکزیمم خروجی بدون اعوجاج را داشته باشیم.



۴-مقادیر نقاط کار ترانزیستورها را اندازه گیری کنید.

۵-بهره و پهنای باند مدار را اندازه گیری کنید.

۶-مقدار R_C را تغییر داده و اثر آن را بر روی بهره و پهنای باند مشاهده و یادداشت نمایید.

* تذکر: در اثرتغییر R_C ، نباید جریان I_{CQ} تغییر کند.

۷-بهره و پهنای باند تئوری دو مدار مرحله ی اول و سوم را محاسبه کرده و با مقادیر اندازه گیری شده مقایسه کنید.

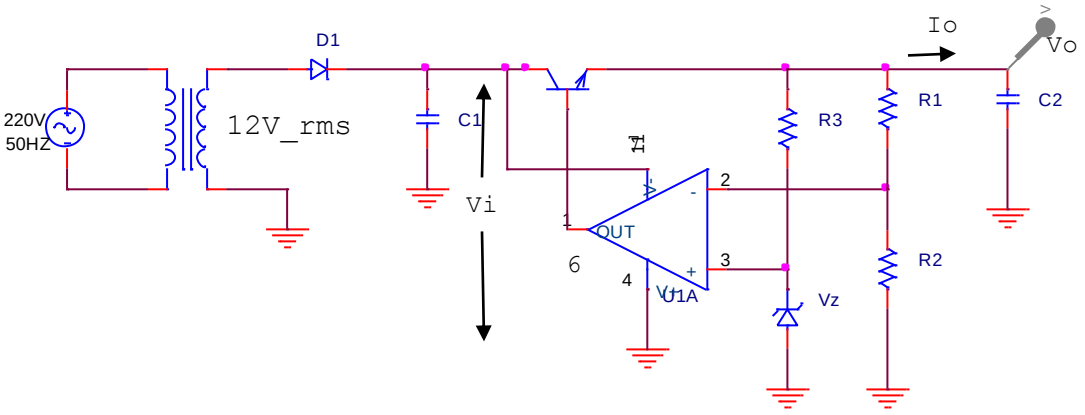
۸-نقش خازن C_{B2} در مدار تقویت کننده Cascode چیست؟ اگر نباشد چه تاثیری دارد؟

۹-علت افزایش پهنای باند مدار cascode نسبت به مدار امیتر مشترک چیست؟

۱۰-نتایج مرحله ششم آزمایش را تفسیر کنید.

آزمایش سوم - طراحی منبع ولتاژ DC

مدار منبع ولتاژ زیر را برای خروجی $8V$ و ماکزیمم جریان $100mA$ طرح کنید.



*تذکر: ماکزیمم جریان خروجی ۷۴۱ را $20mA$ و قدر مطلق ولتاژ اشباع مثبت و منفی آنرا، $1.5\ V$ کمتر از قدر مطلق ولتاژهای تغذیه مثبت و منفی فرض کنید.

۱-قسمت دوم مدار طراحی شده را بسته و منحنی تغییرات ولتاژ خروجی را بر حسب ولتاژ ورودی ترسیم کنید($V_{imax} = 15V$)

۲-با ولتاژ ورودی ۱۵ ولت و مقاومت با $R_L = \infty, 1K\,\Omega, 100\Omega, 47\Omega$ ولتاژ خروجی و مقاومت خروجی مدار را اندازه گیری نمایید. (به توان تلفاتی مقاومت ها توجه داشته باشید)

۳-قسمت اول مدار را اضافه کرده و میزان ریپل ولتاژ خروجی و V_i را اندازه گیری نموده و ضریب حذف ریپل مدار را برحسب dB محاسبه کنید.($R_L = 100\Omega$)

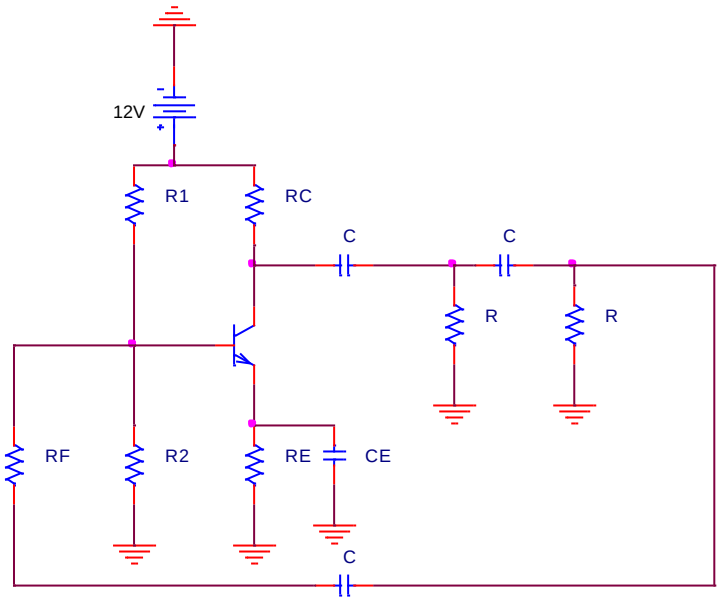
۴-مقدار ریپل خروجی مدار را با فرض ($h_{oe} = 0$) محاسبه کنید.

۵-حداکثر جریان خروجی مدار را با فرض $\beta = 50$ و $V_{BE} = 0.7V$ محاسبه نمایید.

۶-ترانزیستور در مدار فوق در کدامیک از سه آرایش C.B. و C.C. و C.E. قرار دارد؟

آزمایش چهارم _ طراحی اسیلاتور شیفت فاز *(Phase shift osc.)*

اسیلاتور زیر را برای نوسان روی فرکانس $1KHZ$ و جریان نقطه کار $2mA$ و حداکثر دامنه نوسان طرح کنید.



*در صورت امکان ، مقدار خازن را 6.8 nf انتخاب کنید.

۱-مدار طراحی شده را بسته و ولتاژهای نقطه کار را اندازه گیری کنید.

۲-فرکانس و دامنه موج خروجی را یادداشت نمایید.

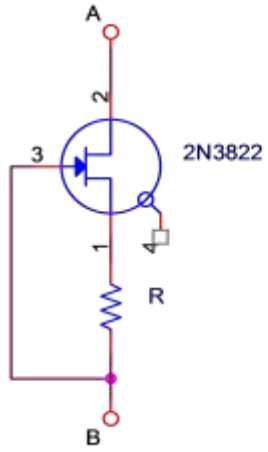
۳-اثر تغییر R و C را بر روی فرکانس نوسان مدار ملاحظه و یاداشت کنید.

آزمایش پنجم : برخی از کاربردهای *FET*

۶-۱- FET *بعنوان منبع جریان*

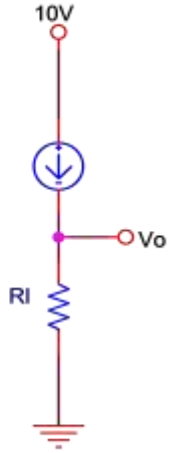
- در مدار شکل (۱-الف) مقدار مقاومت R را برای داشتن منبع جریان $1mA$ محاسبه کنید. (از FET3819 استفاده کنید.

- محدوده مجاز برای مقاومت R_L در شکل(۱-ج) چقدر است؟



شکل(۱) الف

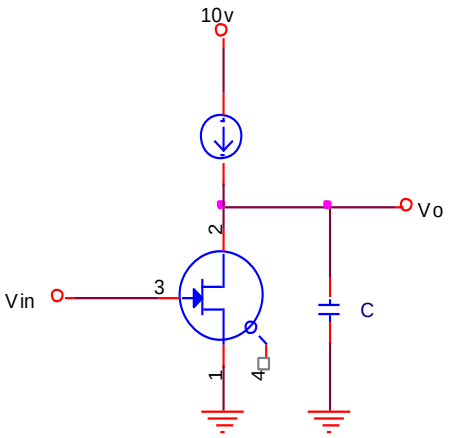
شکل(۱) ب



شکل(۱) ج

آزمایش(۱):

- منبع جریانی را که طراحی کرده اید بسته و سپس با اضافه کردن مقاومت بار صحت عملکرد مدار را بررسی کنید. با تغییر R_L از صفر تا 10Kمحدوده مجاز مقاومت بار را بصورت عملی بدست آورید و مقدار آن را با تئوری مقایسه کنید .



۶-۲- FET *بعنوان کلید*

FET نیز مانند ترانزیستور میتواند بعنوان کلید کنترل شده با ولتاژ مورد استفاده قرار گیرد . در مدار شکل (۲) با استفاده از FET موج مربعی را به موج دندانه اره ای تبدیل می کنیم .

- چگونگی عملکرد مدار مذکور را شرح دهید شکل(۲)

- مقدار خازن را برای ماکزمیم دامنه خروجی یک ولت و در فرکانس 1KHz محاسبه کنید .

آزمایش(۲):

- مدار را بسته ویک موج مربعی با دامنه صفر تا 5v– و با فرکانس 1KHz به آن اعمال نمایید. سپس خروجی و ورودی را همزمان مشاهده کنید . در باره مشاهدات خود توضیح دهید.

- با کاهش یا افزایش فرکانس ورودی ، تغییرات خروجی را بررسی کنید .

سوال – آیا می توانید مقدار مقاومت درین_سورس را بدست آورید؟

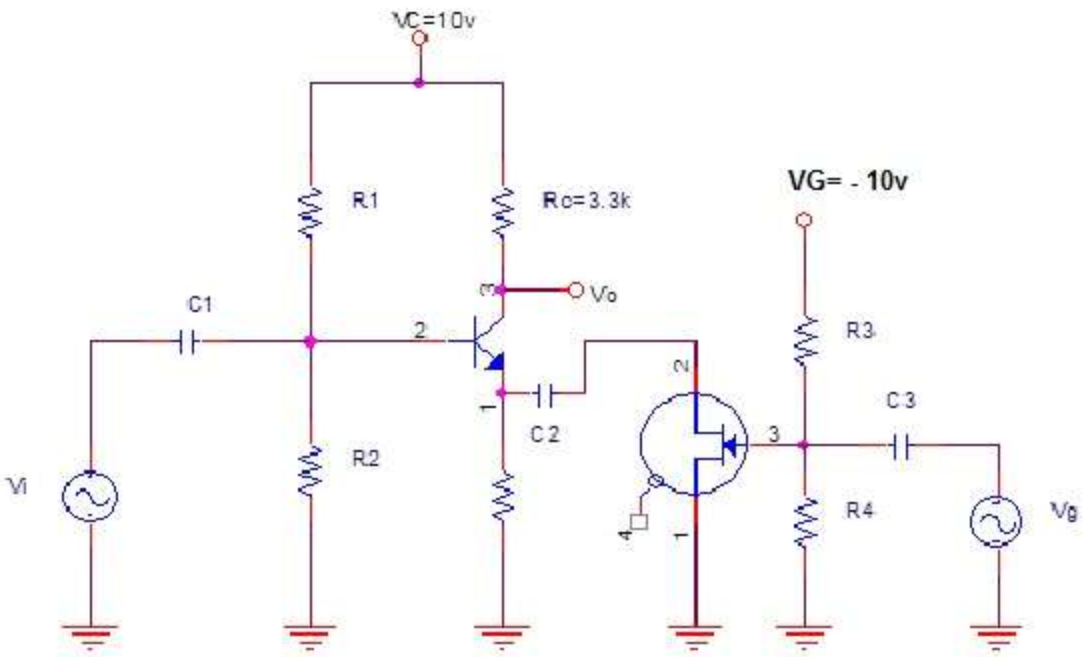
۶-۳- FET ***بعنوان مقاومت متغییر*** (VCR)

در FET تغییرات جریان I_d بر حسب V_{ds} در ناحیه تریود بصورت خطی است. لذا FET در این حالت بصورت یک مقاومت وابسته به ولتاژ عمل می کند. مقدار این مقاومت از رابطه زیر مشخص میگردد.

$$r_d = \frac{V_p}{2I_{dss}\left(1-\frac{V_{GS}}{V_p}\right)}$$

- برای جریان نقطه کار 1mA (مدار ترانزیستور) مقادیر R_1 و R_2 را بدست آورید .

- مقادیر R_3 و R_4 را برای $V_{GS} = -1v$ (مدار FET) محاسبه کنید .



شکل(۳)- مدولاتور AM

آزمایش(۳):

- ابتدا مدار تقویت کننده ترانزیستوری را بسته و سپس ولتاژ و جریان نقطه کار را اندازه گیری نمایید. در این حالت ترانزیستور باید در ناحیه فعال باشد. (Vin=0)

- با اعمال ولتاژ سینوسی با دامنه مناسب بهره مدار را اندازه گیری نمایید. (Vo/Vin)

- در این مرحله ، مدار FET را به مدار قبلی اضافه نمایید (Vg=0). در این حالت نیز بهره مدار را بدست آورید و با مقدار قبلی مقایسه کنید. بهره چه تغییری کرده است؟ چرا ؟

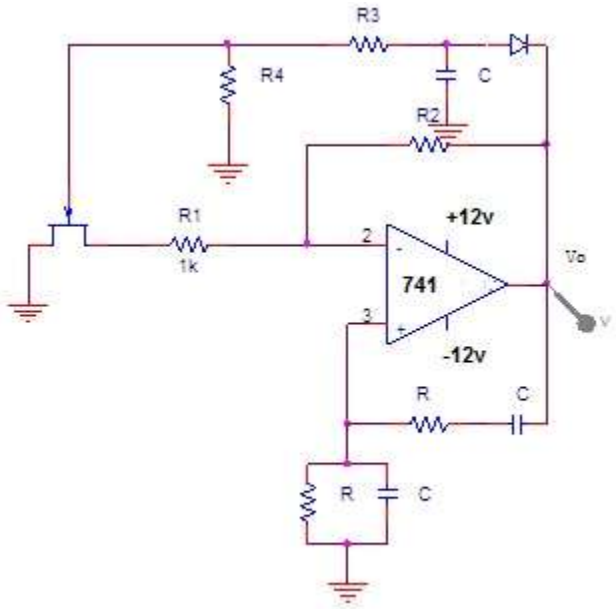
* در این حالت، بعلت کاهش مقاومت امیتر، بهره مدار BJT افزایش یافته امکان اعوجاج در خروجی می باشد در این صورت دامنه ورودی مدار BJT (حامل) را کاهش دهید.

- Vg را یک ولتاژ سینوسی با دامنه 1v انتخاب کرده و به مدار اعمال نمایید و سپس خروجی را با اسکوپ مشاهده کنید . با مشاهده شکل موج خروجی ، در باره چگونگی عملکرد مدار توضیح دهید .

سوال – نشان دهید رابطه ولتاژ خروجی و ولتاژ ورودی بصورت $V_o = (K + mV_g)V_i$ می باشد .

آزمایش ششم _ طراحی اسیلاتور پل وین *(Wien Bridge osc.)*

مدار اسیلاتور زیر را برای نوسان روی فرکانس $1KHZ$ با دامنه ی $V_{OP-P} = 20V$ طرح کنید.



*تذکر:*JFET* را متقارن فرض کرده و قبل از طراحی r_{on} ، I_{DSS} و V_P ترانزیستور را اندازه گیری نمایید.

۱-بدون قرار دادن *JFET* ،مدار را ببندید و خروجی را مشاهده کنید. نتیجه آزمایش را توضیح دهید.

۲-قسمت *JFET* را به مدار اضافه کنید و با تنظیم مقادیر عناصر مدار ، دامنه ی خروجی را روی $V_{OP-P} = 20V$ تنظیم کنید.

۳-اگر *Slew Rate* تقویت کننده عملیاتی ۷۴۱ برابر $0.5\ V/\mu s$ باشد ، حداکثر فرکانسی که به وسیله ی این اسیلاتور با دامنه 20^{V}_{P-P} قابل ساخت است را محاسبه کنید.جواب خود را با انجام آزمایش امتحان کنید.

آزمایش هفتم _ تقویت کننده تفاضلی با استفاده از *JFET* و *MOSFET*

از آنجا که ترانزیستورهای اثر میدان دارای مقاومت ورودی بزرگ هستند، جهت کاهش جریان بایاس ورودی تقویت کننده های تفاضلی استفاده می شوند. از نقاط ضعف این تقویت کننده ها عدم تقارن جریان شاخه های آیینه ای و پایین بودن بهره تقویت کننده به علت کوچک بودن g_m ترانزیستور است. لذا این گونه مدارها با تقویت کننده های تفاضلی *BJT* تکمیل می گردند.

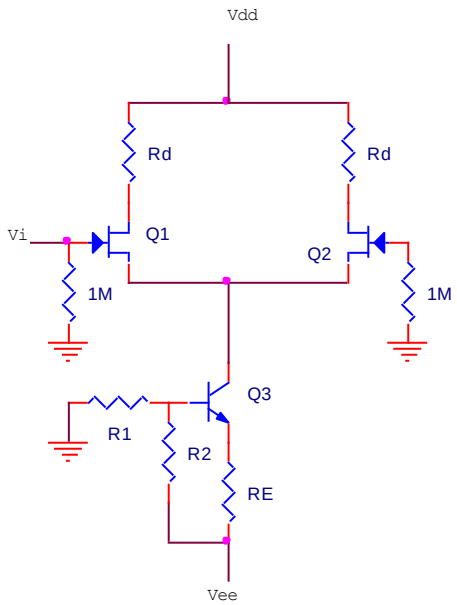
طراحی و تجزیه و تحلیل تقویت کننده های اثر میدان کاملا شبیه به نوع *BJT* می باشند. اما در طراحی به ۲ نکته باید توجه داشت.

۱- وقتی ولتاژ ورودی *Vi* بتواند در حد ولتاژ *Pinch off* تغییر کند جریان یک ترانزیستور کاملا قطع و جریان دیگری حداکثر (I_{DSS}) است. لذا در طراحی *dc* باید رابطه زیر برقرار باشد. $I_{SS} \leq I_{DSS}$ و یا

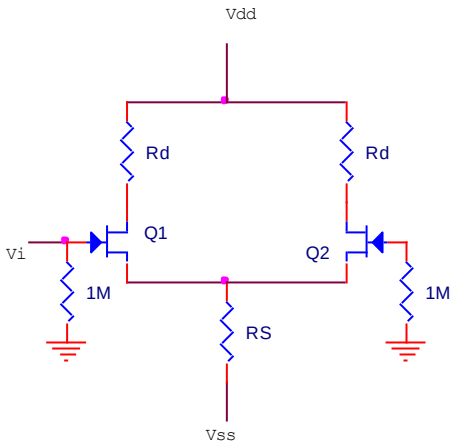
$$\left|\frac{V_i}{V_P}\right| < \sqrt{\frac{I_{SS}}{I_{DSS}}}$$

۲- در تجزیه و تحلیل سیگنال کوچک رابطه ذیل برقرار است. $\left|\frac{V_i}{V_P}\right| \ll \sqrt{\frac{2I_{SS}}{I_{DSS}}}$

I_{SS} جریان عبوری از مقاومت *Rs* در شکل الف و جریان منبع جریان در شکل ب می باشد.



شکل ب



شکل الف

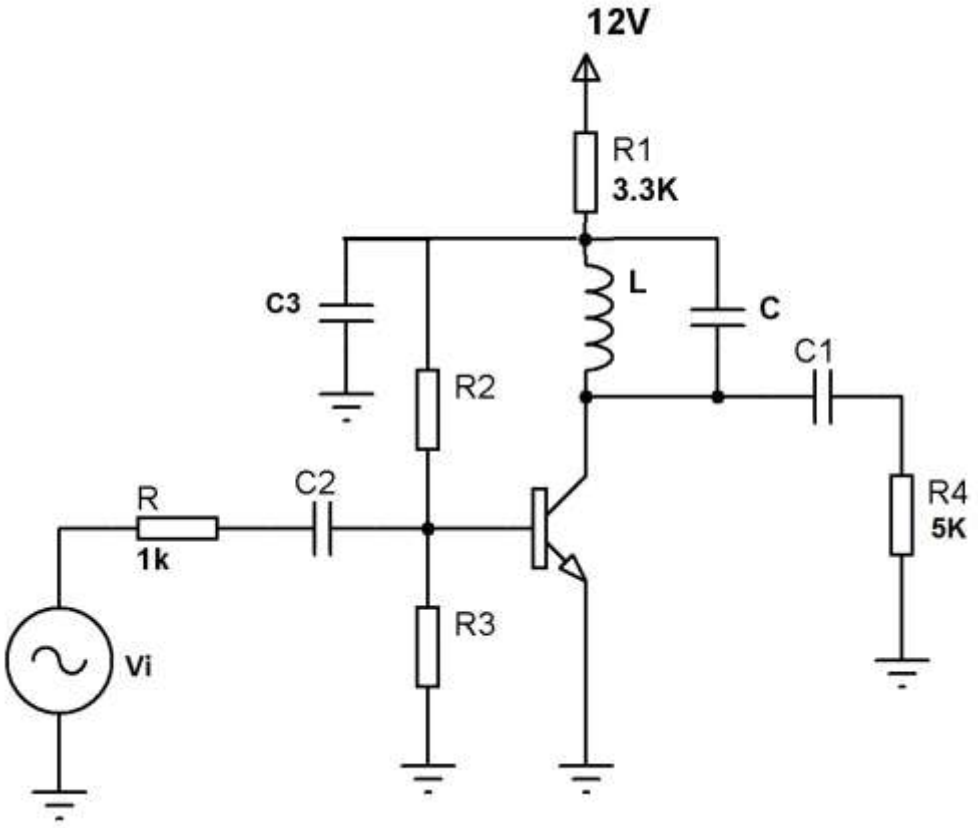
۱-مدار شکل الف را برای جریان I_{SS} ، *5 mA* طراحی کنید. آنگاه *Ad* ، *Ac* و *CMRR* را در فرکانس های میانی محاسبه و آزمایش نمایید. پهنای باند تقویت کننده را محاسبه نمایید.

۲-آزمایش را با منبع جریان تکرار کنید.

۳-آزمایش را با *MOSFET BS170* تکرار کنید.

آزمایش هشتم _ طراحی تقویت کننده با مدار هماهنگی

مدار تقویت کننده *IF* زیر را برای کار در فرکانس مرکزی 455 KHZ با پهنای باند $20\ KHZ$ و ماکزیمم ولتاژخروجی طراحی کنید.



۱- مدار طراحی شده را ببندید و مقادیر نقاط کار را اندازه گیری کنید.

۲-بهره ، پهنای باند و مقاومت خروجی مدار را اندازه گیری کنید.

۳- اثر تغییر بار در پهنای باند مدار را آزمایش کنید.